

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-144800

(43)Date of publication of application : 02.07.1986

(51)Int.Cl.

G11C 29/00

G06F 11/22

G06F 15/06

(21)Application number : 59-265196

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.12.1984

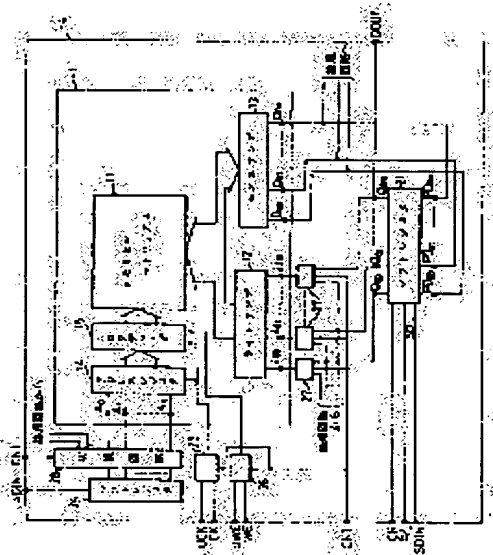
(72)Inventor : SUEHIRO YOSHIYUKI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT HAVING BUILT-IN MEMORY

### (57)Abstract:

**PURPOSE:** To increase the degree of integration of a circuit having a built-in RAM by using a common shift register at the time of writing and reading of data for testing.

**CONSTITUTION:** Supposing that shift/load controlling signals supplied to a shift register 21 when writing data for testing are L level, the register 21 shifts inputted test data successively and stores every time clock is applied. Stored data are inputted to a write amplifier 12 and a memory cell matrix 11 through a data input terminal of a RAM1, and written in a cell of specified address by inputting of a write controlling signal. Data read out from a specified address of the matrix 11 are loaded in parallel in each stage of the register 21 through a sense amplifier 13, a data output terminal of the RAM1 and a parallel data input terminal of the register 21.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-144800

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)7月2日

G 11 C 29/00  
G 06 F 11/22  
15/06

T-7737-5B  
7368-5B  
7343-5B

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 メモリを内蔵した半導体集積回路

②

⑯ 特 願 昭59-265196

⑰ 出 願 昭59(1984)12月18日

⑱ 発 明 者 末 廣 善 之 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 青 木 朗 外 3 名

【産業上の利用分野】

試験回路をそなえた半導体集積回路に関する

【発明の目的】

読出し用および書込み用のシフトレジスタを別個のものとすることなく、共通のシフトレジスタを試験用データの書込み時および読出し時に兼用して使用する半導体集積回路を提供する

【発明の効果】

RAMのビット数が多い場合でもそれによる素子数の増加、更にはその占める面積の増加が少なくて済み、この種のRAMを内蔵した半導体集積回路の集積度を向上させることができる

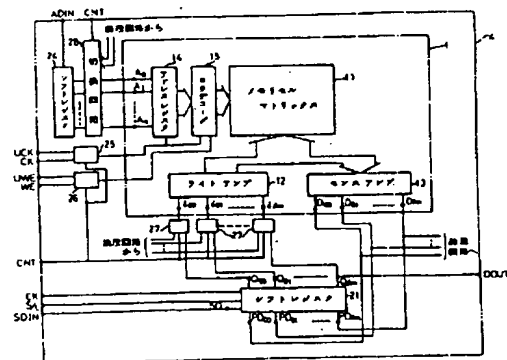
特許請求の範囲

1. メモリ部および論理回路部を有し、かつシリアルデータ入力端子、パラレルデータ入力端子、およびデータ出力端子を有するシフトレジスタが設けられ、該シフトレジスタの各データ出力端子はそれぞれ該メモリ部のデータ入力端子に接続され、更に該シフトレジスタの各パラレルデータ入力端子はそれぞれ該メモリ部のデータ出力端子に接続されており、

該メモリ部に対する試験用データの書込み時には、該シリアルデータ入力端子から該シフトレジスタの各段に順次入力された試験用データが、該シフトレジスタの各データ出力端子からそれぞれ該メモリ部のデータ入力端子に入力され、

一方該メモリ部からの試験用データの読出し時には、該メモリ部から読出されたデータが該メモリ部の各データ出力端子からそれぞれ該シフトレジスタのパラレルデータ入力端子にロードされ、このようにして該シフトレジスタにロードされたデータが該シフトレジスタのデータ出力端子から順次出力されることを特徴とする、メモリを内蔵した半導体集積回路。

第 1 図



# 図面の簡単な説明

第1図は、本発明の1実施例としての、メモリを内蔵した半導体集積回路における該メモリの試験回路部分を示すブロック図、

第2図は、第1図におけるシフトレジスタ21の具体例を示す回路図、

第3図は、従来技術としての、メモリを内蔵した半導体集積回路における該メモリの試験回路部分を示すブロック図、

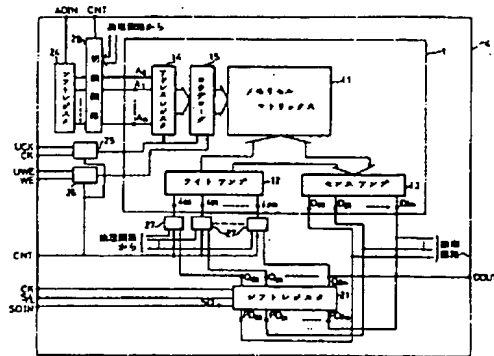
第4図は、この種のメモリを内蔵した半導体集

積回路の全体構成を概略的に例示する図である。

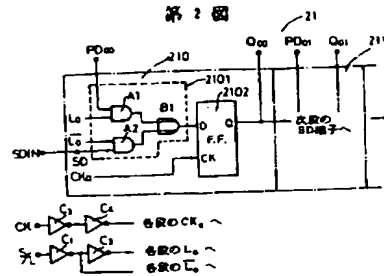
(符号の説明)

- 1 … RAM、11 … メモリセルマトリックス、
- 12 … ライトアンプ、13 … センスアンプ、14 … アドレスレジスタ、15 … ロウデコーダ、
- 21, 22, 23, 24 … シフトレジスタ、
- 25, 26, 27, 28 … 切換回路、
- 3 … 論理回路領域、4 … 半導体集積回路のチップ、5 … 入出力回路。

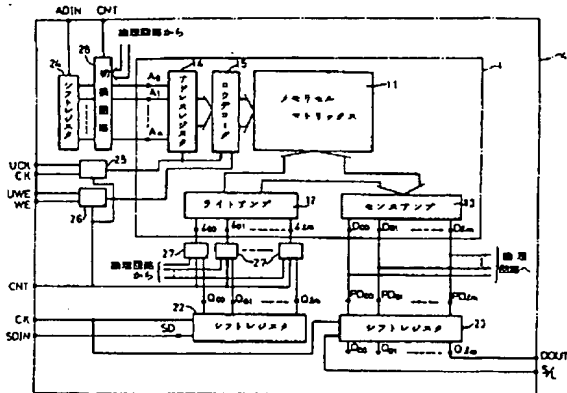
第1図



第2図



第3図



第4図

